

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-111077  
(43)Date of publication of application : 24.04.1990

(51)Int.CI. H01L 29/91

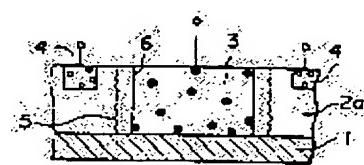
(21)Application number : 63-262930 (71)Applicant : CANON INC  
(22)Date of filing : 20.10.1988 (72)Inventor : KOIZUMI TORU  
MIZUTANI HIDEKAZA

## (54) SEMICONDUCTOR RECTIFYING ELEMENT

## (57)Abstract:

PURPOSE: To obtain improved current-voltage characteristics by providing crystal grain boundaries without crossing a junction surface of a first and a second conductivity type semiconductor regions and near the junction surface.

CONSTITUTION: An SiO<sub>2</sub> film 1 is attached to an n-type silicon crystal substrate and the SiO<sub>2</sub> film 1 is eliminated with the center of one single crystal grain as the center so that impurities high concentration region may be formed only within one single crystal grain within a single crystal layer. Then, a BN diffusion is performed to form a high-concentration p-type semiconductor region 3. The main surface where the p-type semiconductor region 3 and an n-type semiconductor region 2a are polished and crystal grain boundaries 5 are formed at right angles and are formed nearly in parallel to a junction surface 6. Then, an n+-semiconductor region 4 is formed to contact the n-type semiconductor region 2a which is adjacent to a single crystal grain where the p+-type semiconductor region 3 is formed. Thus, by introducing a grain boundary defect effectively as the recombination center so that the crystal grain boundary 5 may not cross the junction surface 6, high-speed operation is achieved and an improved current-voltage characteristics can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (J.P) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 平2-111077

⑫ Int. Cl.<sup>b</sup>  
H 01 L 29/91

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月24日

7638-5F H 01 L 29/91

C

審査請求 未請求 請求項の数 4 (全6頁)

⑭ 発明の名称 半導体整流素子

⑮ 特願 昭63-262930

⑯ 出願 昭63(1988)10月20日

⑰ 発明者 小泉 徹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑱ 発明者 水谷 英正 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
⑳ 代理人 弁理士 山下 積平

明細書

1. 発明の名称

半導体整流素子

2. 特許請求の範囲

(1) 第1の導電型半導体領域と第2の導電型半導体領域とを接合させることによって構成された半導体整流素子において、

前記第1の導電型半導体領域と前記第2の導電型半導体領域との接合面と交わらず、且つ該接合面の近傍に結晶粒界を設けたことを特徴とする半導体整流素子。

(2) 前記第1の導電型半導体領域および前記第2の導電型半導体領域の少なくとも一方の主表面と前記結晶粒界とを直角に形成した請求項1記載の半導体整流素子。

(3) 前記結晶粒界を格子状に設け、前記第1の導電型半導体領域と第2の導電型半導体領域とを千鳥模様に配置した請求項1記載の半導体整流素子。

(4) 核形成密度の小さい非核形成面と、単一核のみより結晶成長するに充分小さい面積を有し、前記非核形成面の核形成密度より大きい核形成密度を有する複数の一定距離を隔てて配置された核形成面とが隣接して配された自由表面を有する基体に、結晶形成処理を施して、前記複数の一定距離を隔てて配置された核形成面のそれぞれの単一核より単結晶を成長させて結晶粒界を形成した請求項2記載の半導体整流素子。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体整流素子に係り、特に第1の導電型半導体領域と第2の導電型半導体領域とを接合させることによって構成された半導体整流素子に関する。

【従来の技術】

P N接合ダイオードにおいて、スチッピング速度の向上は、強く要望されている。ところが、単結晶を用いたP N接合ダイオードでは、バルク中のキャリアライフタイムが長いため、ON状態か

特開平2-111077(2)

らOFF状態に切り換えたとき、残留している過剰少数キャリアによる遅延時間が長くスイッチング速度に限界があった。

これを解決するために、従来はPNダイオードに重金属、例えば金を再結合中心として導入したり、多結晶上にPN接合ダイオードを形成し粒界欠陥を再結合中心として利用することで、少数キャリアのライフタイムを短かくし、遅延時間の短縮を図っていた。

【発明が解決しようとする課題】

しかしながら、上記従来例において、金を再結合中心として導入する場合には、金原子に境界集中が生じるという問題点があり、粒界欠陥を再結合中心として利用する場合には、高濃度層付近の粒界には不純物が偏析しているため、接合面を横切る結晶粒界に電界集中が生じる問題点があった。

その結果、電界降伏がおこり、暗電流成分の増加がおきることとなる。

第9図は、PN接合ダイオードの電流-電圧特性を示す特性図である。

る結晶粒界を有する結晶基板を作成する製造工程について説明する。

以下の製造工程は、欧州特許出願公開第02441081号に開示した結晶成長方法を用いたものである。

第4図(a)～(e)は、本発明の実施例の半導体整流素子に用いる結晶基板を作成する製造工程を示す断面図である。

第5図は、SiO<sub>2</sub>膜上に設けたSi<sub>3</sub>N<sub>4</sub>膜を示す斜視図であり、第4図(a)に示す製造工程に対応するものである。

まず、第4図(a)および第5図に示すように、(100)のシリコンウェハー上に熱酸化法を用いて2000Åの非核形成面たるSiO<sub>2</sub>膜1を形成する。このSiO<sub>2</sub>膜1上にSi<sub>3</sub>N<sub>4</sub>膜を300Å堆積させ、さらに2μmの大きさで、間隔b(ここでは、b=100μm)で配置されるように公知の微細加工技術を用いて前記Si<sub>3</sub>N<sub>4</sub>膜をパターンニングする。形成された核形成面たるSi<sub>3</sub>N<sub>4</sub>膜8を以下サイトと呼ぶ。

同図において、破線は電界降伏による暗電流成分の増加を示すものである。

【課題を解決するための手段】

本発明の半導体整流素子は、第1の導電型半導体領域と第2の導電型半導体領域とを接合させることによって構成された半導体整流素子において、

前記第1の導電型半導体領域と前記第2の導電型半導体領域との接合面と交わらず、且つ該接合面の近傍に結晶粒界を設けたことを特徴とする。

【作用】

本発明の半導体整流素子は、結晶粒界を接合面と交わらないように、且つ電極との間に配置し粒界欠陥を有効に再結合中心として導入することで、高速動作可能で良好な電流-電圧特性を持つ半導体整流素子を作製可能とするものである。

【実施例】

以下、本発明の実施例を図面を用いて詳細に説明する。

まず、本発明の実施例の半導体整流素子に用い

次に、第4図(b)に示すように、SiH<sub>2</sub>Cl<sub>2</sub>/HCl/H<sub>2</sub>/PH<sub>3</sub>系の気相成長法を施すと、SiO<sub>2</sub>に比べSi<sub>3</sub>N<sub>4</sub>が核形成密度が大きいため、サイト8のみにSiの結晶核を形成することができ、サイト8を十分小さくすれば、サイト8のみに一つだけSiの結晶核9を形成することができる。

次に、第4図(c)に示すように、引き続き結晶を成長させると、サイト8上の一つの結晶核9のみが成長を続けてSi単結晶粒10が形成され、さらにこのSi単結晶粒10を成長させることができ。

次に、第4図(d)に示すように、隣りのサイト8から成長して来たSi単結晶粒10どうしがサイト8間の中央でぶつかり結晶粒界11を形成する。なお、この結晶粒界11は図示したように基板に対して垂直方向に形成される。

次に、第4図(e)に示すように、Si単結晶粒10がぶつかって結晶粒界11が形成された基板を厚さが2μmになるまで研磨し単結晶層2を形

成する。この結果、結晶粒界の位置が $100\mu$  m間隔の格子状に制御された、リン(P)濃度、 $1 \times 10^{16}$  atom/cm<sup>3</sup> のn型シリコン結晶基板を得た。

なお、結晶粒界の位置が制御された結晶基板は、本発明においては重要な構成部材であり、前述した欧州特許出願公開第0244,081号に開示した結晶成長方法を用いて、かかる結晶基板を形成することができるが、この結晶成長方法に限定されるものではない。

以上説明した製造工程で作成されたn型シリコン結晶基板を用いて、本発明の半導体整流素子を次のようにして作製することができる。

#### (実施例1)

第1図は、本発明の実施例1の半導体整流素子の構成を説明するための部分断面図である。

第2図は、上記半導体整流素子の部分平面図である。

第3図は、上記半導体整流素子の結晶粒界の配置を説明するための部分断面図である。

あと、選択的にSiO<sub>2</sub>膜を除去し、A-CVDでP-Si膜4000Åを堆積させ900°C, 3.0分の熱処理を施し、不純物(P)を拡散させた。そして、第2図に示すように、コンタクトホールを開け、アルミ(A)を蒸着し電極とした。保護膜として、SiO<sub>2</sub>膜を1000Å堆積させた。

ここで、重要なことは第3図に示すように、結晶粒界5が空乏端12から拡散長L<sub>P</sub>(L<sub>P</sub>は正孔の拡散長)までの領域にあるということである。本実施例においては、拡散長L<sub>P</sub>は~5μm程度であり、接合面6はBN拡散による横方向の拡散距離dも考慮にいれると結晶粒界5から約2μmのところに位置している。また空乏層幅は、20voltで約1μmであるため、第3図に示すように、空乏端12から拡散長L<sub>P</sub>内に結晶粒界5が位置している。

本実施例においては、空乏端12から拡散長L<sub>P</sub>までの領域に過剰少子キャリアが多く存在しており、この領域内にある再結合中心が最も有効

ます。第1図に示すように、前記n型シリコン結晶基板に対しSiO<sub>2</sub>膜を5000Åつける。単結晶層2の中の一単結晶粒の中のみに不純物高濃度領域ができるように一単結晶粒の中央を中心として、93°角でSiO<sub>2</sub>膜を除去する。これをマスクとしてBN拡散を1000°C, 2時間で行い、拡散層を下地まで到達させて高濃度のp型半導体領域3を形成する。第3図において、13はBN拡散のマスク用酸化膜を示し、cは結晶粒界5からSiO<sub>2</sub>膜の端部までの距離(ここでは約3.5μm), dはBN拡散による横方向の拡散の距離(深さの70%程度で、ここでは約1.4μm)を示す。p型半導体領域3およびn型半導体領域2aの研磨を行った主表面と結晶粒界5とは直角に形成されており、接合面6とほぼ平行に形成されている。

このp+遷半導体領域3が形成されている単結晶粒に隣接するn型単結晶粒(n型半導体領域2a)にコンタクトを取りためのn+半導体領域4を形成するため、熱酸化膜を4000Åつけた

に働くことから、この領域中にある欠陥の数がスイッチングの高速化が可能である。すなわち、本発明は、結晶粒界を接合面と交わらないよう、且つ電極との間に配置し粒界欠陥を有効に再結合中心として導入することで、高速動作可能で良好な電流-電圧特性を持つ半導体整流素子を可能にしたのである。

粒界欠陥は欠陥単位が金の0.2eVよりも中央にあると考えられ、金よりも有効な再結合中心として働く。そしてその密度は約10<sup>12</sup>~10<sup>13</sup>/cm<sup>2</sup>であるため、金を再結合中心に用いたときの10<sup>17</sup>/cm<sup>3</sup>以上に対応する。この結果逆方向電流密度は~10<sup>-8</sup>AとCZ法によって得られた単結晶基板に作成したものと遜色ない。

本実施例の半導体整流素子は、低暗電流の良好なI-V特性を示し、なおかつ第8図に示す回路を用いて、

$$\frac{I_r(V_r)}{V_r/R} \sim 100$$

となるよう外部回路を設定し、逆方向回復時間を

測定したところ、~5 nsec という高速スイッチング特性を示した。

#### (実施例2)

本実施例は、前述した実施例1を二次元に配置したものである。

第6図は、本発明の実施例2の半導体整流素子の構成を示す部分平面図である。

第7図は、上記半導体整流素子の配線状態を示す部分平面図である。

第6図に示すように、本実施例は千鳥模様、すなわち、P型半導体領域とN型半導体領域とが列、行とで交互に配置されている。なお、第6図は10×10のマトリクスに配置したもの的一部を示すものである。

本実施例の半導体整流素子についても、実施例1と同様に欧州特許出願公開第02441081号に開示した結晶成長方法を用いて作成することができ、ガス系はSiCl<sub>2</sub>H<sub>2</sub>/H<sub>2</sub>/HC<sub>6</sub>系で、結晶粒径が50μmとなるよう成長させたのち、単結晶層の厚さが2μmとなるま

となるよう外部回路を設定し、逆方向回復時間を測定したところ、~5 nsec という高速スイッチング特性を示した。

#### 【発明の効果】

以上詳細に説明したように、本発明による半導体整流素子によれば、I-V特性が良好で且つ逆方向回復時間が、nsecオーダーの高速動作が可能な半導体整流素子の実現が可能となった。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例1の半導体整流素子の構成を説明するための部分断面図である。

第2図は、上記半導体整流素子の部分平面図である。

第3図は、上記半導体整流素子の結晶粒界の配置を説明するための部分断面図である。

第4図(a)~(e)は、本発明の実施例の半導体整流素子に用いる結晶基板を作成する製造工程を示す断面図である。

第5図は、SiO<sub>2</sub>膜上に設けたSi<sub>3</sub>N<sub>4</sub>膜を示す斜視図である。

で研磨した。

以下、実施例1と同様な条件で、P+層、N+層を設けたのち、コンタクトホールおよびAと配線を形成し、さらに保護膜としてスパッタ法によってSiO<sub>2</sub>を10000Å堆積させた。

なお、実施例1においては、デバイスが占有する面積に比して充分な接合面積を得ることができないため、比較的大きな電流を必要とする場合には充分対応ができないが、本実施例においては、千鳥模様に配列することにより、同じ面積で2倍以上の電流値を得ることができる。従って、このような配置をとることで、少ないスペースに大きい接合面積を持つ半導体整流素子も作製可能となる。

本実施例において得られた半導体整流素子は、第9図の実線に示すように良好なI-V特性が得られ、且つスイッチング速度は、第8図に示す回路を用いて、

$$\frac{I_f(V_f)}{V_f/R} \sim 100$$

第6図は、本発明の実施例2の半導体整流素子の構成を示す部分平面図である。

第7図は、本発明の実施例2の半導体整流素子の配線状態を示す部分平面図である。

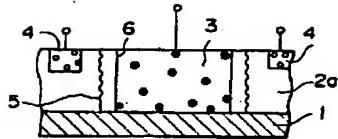
第8図は、本発明の実施例の半導体整流素子の逆方向回復時間を測定した回路を示す回路図である。

第9図は、PN接合ダイオードの電流-電圧特性を示す特性図である。

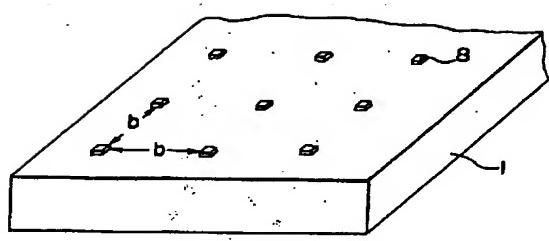
1: SiO<sub>2</sub>膜、2: 単結晶層、3: p型半導体領域、4: n+半導体領域、5: 結晶粒界、6: 接合面、12: 空乏端、13: BN拡散のマスク用酸化膜。

代理人弁理士山下穂平

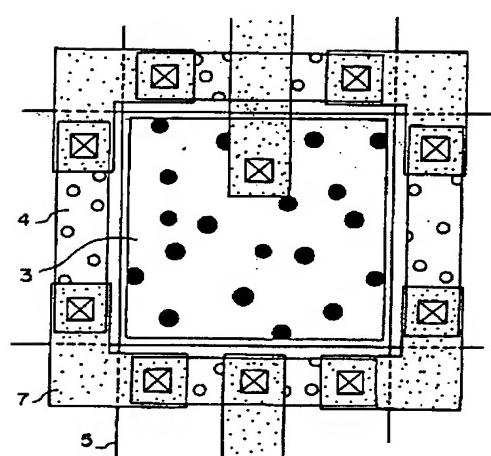
第 1 図



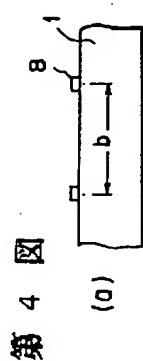
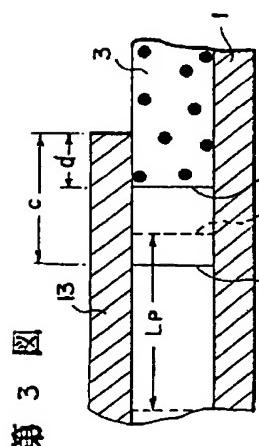
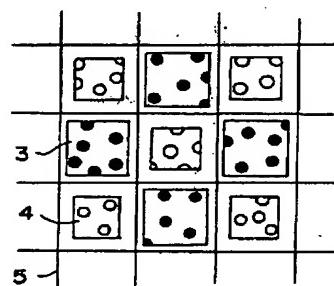
第 5 図



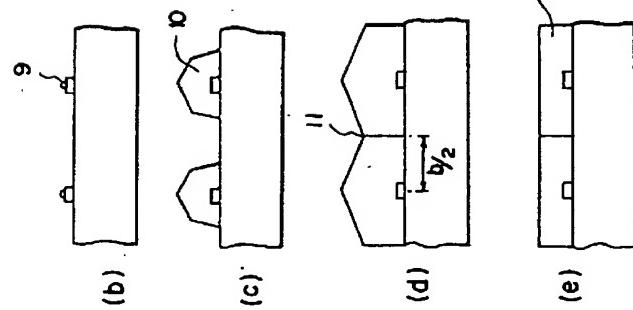
第 2 図



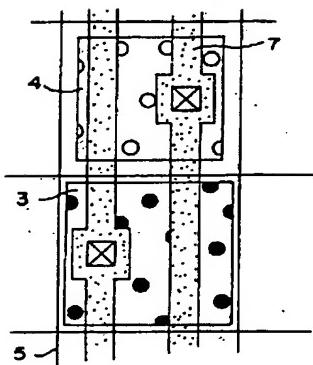
第 6 図



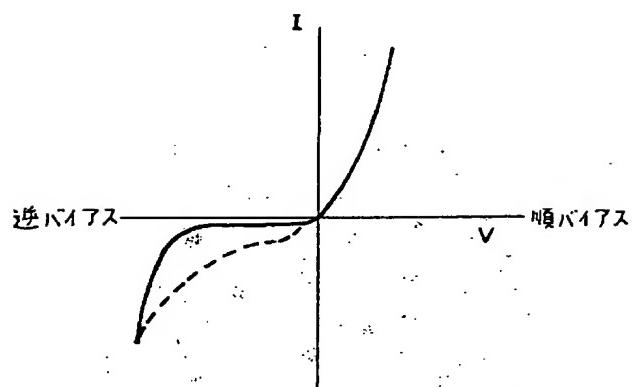
第 3 図



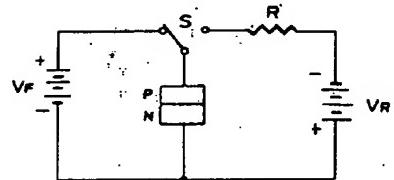
第 7 図



第 9 図



第 8 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**